



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09082798 A**(43) Date of publication of application: **28.03.97**

(51) Int. Cl. **H01L 21/768**
H01L 21/28
H01L 21/3205

(21) Application number: **07234367**(22) Date of filing: **12.09.95**(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **SHIMOOKA YOSHIKI**
ITO HITOSHI
IJIMA TADASHI
SUGURO KYOICHI

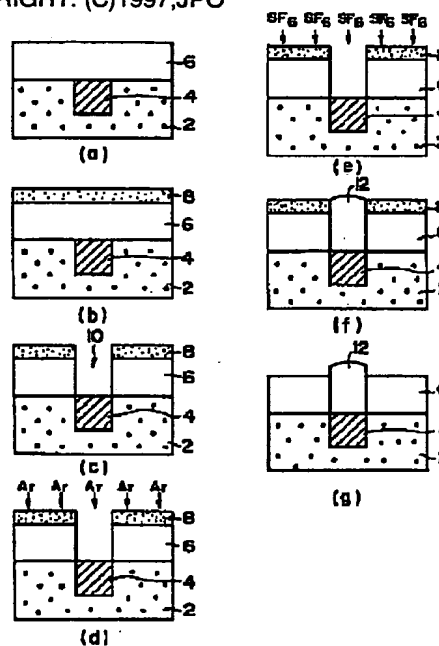
(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To selectively grow W only on an opening part provided in an insulating film of a wiring, especially on a Cu wiring so as to improve reliability by terminating the surface of a coating film with an element of a binding energy higher than average binding energy with an element constituting an insulating film so as to selectively grow a metal film inside a connection hole.

SOLUTION: A resist pattern is formed on a carbon layer 8 and a via hole 10 for connecting to a Cu wiring 4 in the regions of an insulating film 6 and a carbon layer 8 on a Cu wiring 4 having the above as a mask. Then, after removing a resist pattern a natural oxide film on the surface of the exposed Cu wiring 4 is removed. Next, a dangling bond on the surface of the carbon layer 8 generated at the time of removing the oxide film is terminated by fluorine (F). Next, a via (W plug) 12 is made to selectively grow and later, the carbon layer 8 is removed so as to finish the via 12 for a multilayered wiring.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-82798

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	B
21/28	3 0 1		21/28	3 0 1 R
21/3205			21/88	M
			21/90	A

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願平7-234367

(22) 出願日 平成7年(1995)9月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 下 岡 義 明

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72) 発明者 伊 藤 仁

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72) 発明者 飯 島 匡

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

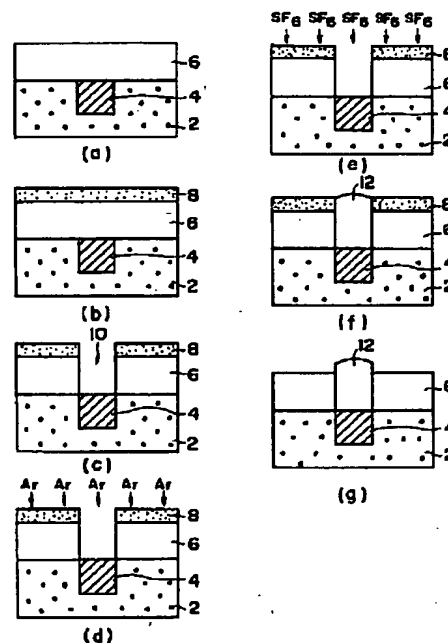
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 信頼性の高い半導体装置を得ることを可能にする。

【解決手段】 金属配線が形成された半導体基板に絶縁膜を形成する工程と、この絶縁膜上に被覆膜を形成する工程と、前記金属配線上の前記被覆膜および前記絶縁膜の領域に接続孔を形成する工程と、前記接続孔の底の前記金属配線の表面を清浄化する工程と、前記被覆膜を構成する元素との平均的な結合エネルギーが前記絶縁膜を構成する元素との平均的な結合エネルギーよりも高い元素で前記被覆膜の表面を終端させる工程と、前記接続孔内に金属膜を選択的に成長させる工程と、を備えたことを特徴とする。



【特許請求の範囲】

【請求項1】金属配線が形成された半導体基板上に絶縁膜を形成する工程と、

この絶縁膜上に被覆膜を形成する工程と、

前記金属配線上の前記被覆膜および前記絶縁膜の領域に接続孔を形成する工程と、

前記接続孔の底の前記金属配線の表面を清浄化する工程と、

前記被覆膜を構成する元素との平均的な結合エネルギーが前記絶縁膜を構成する元素との平均的な結合エネルギーよりも高い元素で前記被覆膜の表面を終端させる工程と、

前記接続孔内に金属膜を選択的に成長させる工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項2】前記金属配線の表面を清浄化する工程は、前記金属配線の表面および前記被覆膜の表面を逆スパッタリングする工程を含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記金属配線の材料は銅であり、前記金属膜はタングステンもしくはモリブデンからなる膜であり、前記清浄化する工程は、 Ar ガスまたは H_2 ガス雰囲気中で逆スパッタリングを行う工程を有し、前記被覆膜の表面を終端させる工程は弗素系のガスを流すことにより前記被覆膜の表面を弗素で終端させる工程を有していることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項4】金属配線が形成された半導体基板上に絶縁膜を形成する工程と、

この絶縁膜上に、この絶縁膜を構成する原子および前記金属配線を構成する原子のそれぞれの電気陰性度よりも電気陰性度の大きい原子から構成される被覆膜を形成する工程と、

前記金属配線上の前記被覆膜および前記絶縁膜の領域に接続孔を形成する工程と、

前記接続孔の底の前記金属配線の表面を清浄化する工程と、

前記接続孔内に金属膜を選択的に成長させる工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項5】前記金属配線の材料は銅であり、前記金属膜はタングステンもしくはモリブデンからなる膜であり、前記清浄化する工程は、水素ガスを含む雰囲気中で前記接続孔の底に露出した前記金属配線の表面の酸化物を除去する工程を有していることを特徴とする請求項1または4記載の半導体装置の製造方法。

【請求項6】前記被覆膜は、炭素または炭素を含む高分子化合物からなることを特徴とする請求項1乃至5のいずれかに記載の半導体装置の製造方法。

【請求項7】金属配線が形成された半導体基板上に形成された絶縁膜と、

前記絶縁膜上に形成された被覆膜と、

前記金属配線上の前記被覆膜および前記絶縁膜の領域に形成された接続孔と、

前記接続孔内に選択的に埋込まれたタングステンもしくはモリブデンからなるプラグと、

を備え、

前記接続孔の底の前記金属配線の表面は清浄化され、前記被覆膜の表面は弗素によって終端されることを特徴とする半導体装置。

【請求項8】前記被覆膜は、炭素または炭素を含む高分子化合物からなることを特徴とする請求項7記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】一般に、大規模集積回路(LSI)内に用いられている多層アルミニウム(Al)配線間のビア形成には、六弗化タングステン(WF_6)、モノシラン(SiH_4)、水素(H_2)ガスを用いた気相化学成長(CVD:Chemical Vapor Deposition)法によるタングステン(W)の埋め込みが行われている。近年、配線の微細化に伴ってビア・ホールの直径も縮小し、ビアのアスペクト比(ビアの深さ/ビアの直径)は1よりも大きくなりつつある。こうした状況の中で、CVD法を用いたW埋め込みは、アスペクト比が大きくなった際にもビア・ホール内を完全に埋め込むことができることから、Al配線間を結ぶビアに採用されている。

【0003】一般的にWのビア・ホール埋め込みには二つの方法があつて、第1はブランケット成長法であり、ビアホール開口後TiN/Tiの密着層(Glue Layer)を設け、その上にWを一様に成膜した後、ビア・ホール以外の絶縁膜上に堆積している余剰Wを除去する方法である。第2は選択成長法で、まず、ビア・ホールを開孔後、 BCl_3 ガスによる反応性イオンエッチング(RIE:Reactive Ion Etching)、あるいは、Arガスによる逆スパッタで開口部底のAl表面酸化物を除去する。このとき絶縁膜表面、例えば SiO_2 表面では、Si-O結合が切断されたダングリングボンドと呼ばれる未結合手が発生するため、三塩化ホウ素(BCl_3)、塩素(Cl_2)ガス等を用いて SiO_2 表面のダングリングボンドをClで終端し不活性化する。この処理により、Al上のビア・ホール内のみにWを選択成長させ、Wプラグを形成することができる。

【0004】つまり、WのCVD成長においては下地基板の前処理がW成膜の有無を左右し、下地基板が例えば金属などのように活性なダングリングボンドが多く電子を供給しやすい状態であれば、 WF_6 ガスが還元されてWが成長する。一方、下地基板が絶縁膜などのように電

子の供給が不足している状態では、WF₆ガスは還元され難くWの成長も充分進行しないことになる。

【0005】

【発明が解決しようとする課題】近年LSI内の配線は、微細化および長配線長化による抵抗の増大に伴って、信号の伝播遅延といった問題が顕在化するようになってきている。そこで、アルミニウムを主体とする材料から、比抵抗のより低い銅(Cu)を用いた多層配線が研究開発段階に入っている。

【0006】このCu配線上に上述した従来のプロセスを用いてヴィア・ホールをW埋め込みを行った場合、幾つかの問題を生じることになる。まず、ブランケット成長法では、CuおよびAl配線上を問わず、ヴィア・ホール以外の成膜したくない部分にもWが成長してしまうこと、不要なWを除去するためにCMP (Chemical Mechanical Polishing)等のエッチングバック工程が増えること、形成したWプラグの中央部分にシーム(seam)と呼ばれる縫い目が生じるといったことがある。このシームは、ヴィア・ホールの底面および側面からWが同時に成長することにより生じるものであり、電界集中が生じ易い。また、密着層のTiN/Tiをスパッタリング法によって設ける場合、次世代LSIで用いられるアスペクト比3〜5のヴィア・ホール内全てに、均一な被覆率でTiN/Ti層を形成することが非常に難しく、ヴィア・ホール内へのW埋め込みそのものが困難となることが考えられる。

【0007】一方、選択成長法の場合には上述の問題は発生しない。しかし、Cu配線上のヴィア形成にそのまま用いた場合には、Cu塩化物の蒸気圧が低い酸化物のエッチングが困難なこと、更に、Cuは塩素と結びつくと腐食を発生しやすいことから、W成長時にSiO₂膜上のダングリングボンドをCl系ガスで終端する処理を実行できずW選択成長の障害となる。しかし、将来の微細化プロセスへの対応性や工程の簡素化、シームの無い信頼性のあるWプラグの形成を考えると、Cu上のW選択成長は多層Cu配線を実現化する上で是非とも必要な技術である。このCu上のW選択成長を実現する為には、ヴィア・ホールの底に露出したCu表面を腐食させることなく、絶縁膜上のW成長を抑制する前処理を行わなければならない。

【0008】本発明は上記事情を考慮してなされたものであって、配線特にCu配線上の絶縁膜に設けた開口部のみにWを選択的に成長させ、信頼性のある金属プラグを有する半導体装置およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】第1の発明による半導体装置の製造方法の第1の態様は、金属配線が形成された半導体基板に絶縁膜を形成する工程と、この絶縁膜上に被覆膜を形成する工程と、前記金属配線の上の前記被覆膜

および前記絶縁膜の領域に接続孔を形成する工程と、前記接続孔の底の前記金属配線の表面を清浄化する工程と、前記被覆膜を構成する元素との平均的な結合エネルギーが前記絶縁膜を構成する元素との平均的な結合エネルギーよりも高い元素で前記被覆膜の表面を終端させる工程と、前記接続孔内に金属膜を選択的に成長させる工程と、を備えたことを特徴とする。

【0010】また第1の発明による半導体装置の製造方法の第2の態様は、第1の態様の製造方法において、前記金属配線の表面を清浄化する工程は、前記金属配線の表面および前記被覆膜の表面を逆スパッタリングする工程を含むことを特徴とする。

【0011】また第1の発明による半導体装置の製造方法の第3の態様は、第1または第2の態様の製造方法において、前記金属配線の材料は銅であり、前記金属膜はタングステンもしくはモリブデンからなる膜であり、前記清浄化する工程は、ArガスまたはH₂ガス雰囲気中で逆スパッタリングを行う工程を有し、前記被覆膜の表面を終端させる工程は弗素系のガスを流すことにより前記被覆膜の表面を弗素で終端させる工程を有していることを特徴とする。

【0012】また第1の発明による半導体装置の製造方法の第4の態様は、金属配線が形成された半導体基板上に絶縁膜を形成する工程と、この絶縁膜上に、この絶縁膜を構成する原子および前記金属配線を構成する原子のそれぞれの電気陰性度よりも電気陰性度の大きい原子から構成される被覆膜を形成する工程と、前記金属配線の上の前記被覆膜および前記絶縁膜の領域に接続孔を形成する工程と、前記接続孔の底の前記金属配線の表面を清浄化する工程と、前記接続孔内に金属膜を選択的に成長させる工程と、を備えたことを特徴とする。

【0013】また第1の発明による半導体装置の製造方法の第5の態様は、第1または4の態様の製造方法において、前記金属配線の材料は銅であり、前記金属膜はタングステンもしくはモリブデンからなる膜であり、前記清浄化する工程は、水素ガスを含む雰囲気中で前記接続孔の底に露出した前記金属配線の表面の酸化物を除去する工程を有していることを特徴とする。

【0014】また第1の発明による半導体装置の製造方法の第6の態様は、第1乃至第5の態様のいずれかの製造方法において、前記被覆膜は、炭素または炭素を含む高分子化合物からなることを特徴とする。

【0015】また第2の発明による半導体装置の第1の態様は、金属配線が形成された半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成された被覆膜と、前記金属配線の上の前記被覆膜および前記絶縁膜の領域に形成された接続孔と、前記接続孔内に選択的に埋込まれたタングステンもしくはモリブデンからなるプラグと、を備え、前記接続孔の底の前記金属配線の表面は、清浄化され、前記被覆膜の表面は弗素によって終端されることを

特徴とする。

【0016】また第2の発明による半導体装置の第2の態様は、第1の態様の半導体装置において、前記被覆膜は、炭素または炭素を含む高分子化合物からなることを特徴とする。

【0017】

【発明の実施の形態】本発明による半導体装置の製造方法の第1の実施の形態を図1および図2を参照して説明する。この第1の実施の形態の製造方法の製造工程を図1に示す。まず図1(a)に示すようにCu配線4が形成された下地基板2（例えば半導体基板または絶縁膜が形成された半導体基板）上に、例えばSiO₂またはSiNからなる層間絶縁膜6を形成する。次にこの層間絶縁膜6の最表面に炭素（C）からなる層8を形成する

（図1(b)参照）。その後、フォトリソグラフィ技術を用いて炭素層8上にレジストパターン（図示せず）を形成し、このレジストパターンをマスクにしてCu配線4上の絶縁膜6および炭素層8の領域にCu配線4との接続を取るためのヴィア・ホール10を例えばRIE（Reactive Ion Etching）法を用いて開口する（図1(c)参照）。

【0018】そして上記レジストパターンを除去した後、露出したCu配線4の表面の自然酸化膜を、アルゴン（Ar）ガス雰囲気中での逆スパッタリング法によって除去する（図1(d)参照）。続いて六弗化硫黄（SF₆）ガスを流すことによって、上記酸化膜除去の際に生じた炭素層8の表面のダングリングボンドを弗素（F）により終端させる（図1(e)参照）。

【0019】次に図1(f)に示すように、Cu配線4上のヴィア・ホール10内にWF₆、SiH₄ ガスを使用した選択CVD法を用いてWからなるヴィア（Wプラグ）12を選択的に成長させ、その後、炭素層8を除去して多層配線用のヴィア12を完成する（図1(g)参照）。

【0020】次に上記第1の実施の形態において、Cu配線4上にWが選択的に成長される理由について説明する。下地基板の材料が各々Cu、SiO₂、Cである場合にCVD法を用いてWの膜を形成した際の成長速度を図2に示す。このときの処理条件は、成長前のベース真空度が 6×10^{-6} Torr、成長時の基板温度が200～260℃、使用ガスの流量比WF₆/SiH₄が10/7 cc/min、成長時の真空度が7 mTorrである。

【0021】図2において、白丸は清浄なCu表面（Ar雰囲気中で逆スパッタを行った後にSF₆ガスで終端させるか、または水素雰囲気中で450℃、20分間の熱処理したCu表面）上におけるW成膜の様子を示したものであり、この場合は下地基板がCuであるため、下地基板からの電子の供給が十分なため、WF₆ガスが分解し易くWの成長核は成長開始後、早い時間で発生する。

従ってWの成長速度も速く、約60～200 nm/minである。

【0022】一方、黒三角、黒四角は各々無処理のSiO₂、Cの絶縁膜上におけるW成膜の様子を示したものである。この場合は両者とも、下地基板（絶縁膜）からの電子の供給が不十分なため、WF₆ガスは還元され難く、SiH₄ガスのみによる還元となる。従ってWの成長核が生じ難く、Wの成膜の進行が遅くなっている。

【0023】上記実施の形態に用いられたWの選択成長は上述のように、下地の違いによるW成長核の発生時間の違いを利用して行われている。

【0024】ところで、Cu上にWを成長する場合にあらかじめ表面の酸化膜を除去しておく必要があるが、Cuの酸化物は還元しやすいため水素雰囲気中において熱処理を施すことで酸化物を分解したり、あるいは、Arイオンによるバイアスクリーニング（逆スパッタリング）によって物理的に除去する方法が考えられる。但し、Arイオンによるバイアスクリーニングを行った場合、同時に絶縁膜表面にダングリングボンドが発生し、選択性が崩れる可能性があるためSF₆を流してダングリングボンドをFで終端しておく必要がある。このときSiO₂、Cの絶縁膜上におけるW成膜の様子を示したものを、各々白三角、白四角に示す。

【0025】Cu酸化物除去の具体的方法は、水素還元処理の場合、Wの成長前にH₂流量～150 sccm、圧力～500 mTorr、基板温度400～450℃で約20分間の還元処理を行う。また、Arイオンによるバイアスクリーニングの場合、Ar流量50～100 sccm、圧力9～18 mTorr、出力50～150 Wで2分間の逆スパッタを行った後、SF₆流量50～100 sccm、圧力25～50 mTorrで1分間のダングリングボンド終端処理を施す。

【0026】図2に示す結果から、絶縁膜の最表面にSiO₂が露出している場合にCu酸化物除去の前処理を施すと、Wの成膜過程においてCu上とSiO₂上との選択性が得られないことになる。しかし、その最表面がCであった場合にはCu上との選択性は十分確保できることがわかる。

【0027】次に、下地基板が各々C、SiO₂、Si₃N₄であるときの弗素との結合エネルギーを求めてみる。

【0028】CとFの結合エネルギー（C-F）、SiとFの結合エネルギー（Si-F）、OとFの結合エネルギー（O-F）、NとFの結合エネルギー（N-F）の各々は次のようになる。

【0029】(C-F) = 132 Kcal/mol
(Si-F) = 132.1 ± 0.5 Kcal/mol
(O-F) = 53 ± 4 Kcal/mol
(N-F) = 82 Kcal/mol

SiO₂とFの結合エネルギー（SiO₂-F）は、S

SiO_2 における Si と酸素 (O) の原子数の比が 1 対 2 で、ダングリングボンドの比が 4 対 2 であるので、

$$(\text{Si}-\text{F}) \times 1/3 \times 4/6 + (\text{O}-\text{F}) \times 2/3 \times 2/6 = 29.36 + 11.78 = 41.1 \text{ Kcal/mol}$$

となる。

【0030】また Si_3N_4 と F の結合エネルギー ($\text{Si}_3\text{N}_4-\text{F}$) は、 Si_3N_4 における Si と N の原子数の比が 3 対 4 で、ダングリングボンドの比が 4 対 3 であるので、

$$(\text{Si}-\text{F}) \times 3/7 \times 4/7 + (\text{N}-\text{F}) \times 4/7 \times 3/7 = 32.35 + 20.08 = 52.4 \text{ Kcal/mol}$$

となる。

【0031】したがって、C と F の結合エネルギーは SiO_2 と F の結合エネルギーや Si_3N_4 と F の結合エネルギーよりも大きなものとなる。これにより、F ガスにより終端させた場合の安定性は炭素 (C) が高いことが分かる。

【0032】上記第 1 の実施の形態においては、層間絶縁膜 6 上に炭素層 8 を形成したが、上述のことにより材料を構成する原子と F との間の平均的な結合エネルギーが、下地となる絶縁膜 6 と F との結合エネルギーよりも大きな値を有する被膜を炭素層 8 の代わりに用いることができる。

【0033】次に本発明による半導体装置の製造方法の第 2 の実施の形態の製造工程を図 3 に示す。この実施の形態の製造方法は、基板 2 と埋め込み Cu 配線 4 の間に Cu の拡散防止層 3 を設けたものである。

【0034】まず図 3 (a) に示すように半導体基板または絶縁膜基板 2 内に所望の配線パターンに応じた溝 2a を形成する。次いで図 3 (b) に示すようにこの溝 2a の表面を例えば TiN 、 TiN/Ti 、 TiSiN 、または WSiN 等からなる拡散防止膜 3 で被覆し、その後上記溝 2a を埋め込むように Cu 配線 4 を形成する。なお、膜 3 は Cu が基板 2 に拡散するのを防止するためのものである。

【0035】続いて図 3 (c) に示すように、全面に例えば SiO_2 、 SiN 、あるいはこれらの組合せからなる層間絶縁膜 6 を形成し、その後、最表面に炭素層 8 を形成する (図 3 (d) 参照)。そしてフォトリソグラフィ技術を用いて炭素層 8 上にレジストパターン (図示せず) を形成し、このレジストパターンをマスクにして Cu 配線 4 上の、層間絶縁膜 6 および炭素層 8 の領域に Cu 配線 4 との接続を取るためのビア・ホール 10 を RIE 法を用いて開口する (図 3 (e) 参照)。

【0036】その後露出した Cu 配線 4 の表面の自然酸化膜を除去するために Ar ガス雰囲気中で逆スパッタリングを行い、Cu 配線 4 の露出した表面を清浄化する (図 3 (f) 参照)。このときの逆スパッタリングの条

件は、ベース真空度が $6 \times 10^{-6} \text{ Torr}$ 、Ar ガスの流量が $50 \sim 100 \text{ sccm}$ 、圧力が $9 \sim 18 \text{ mTorr}$ 、出力が $50 \sim 150 \text{ W}$ である。

【0037】次いで図 3 (g) に示すように、 SF_6 ガスを用いて炭素層 8 および露出している層間絶縁膜 6 の表面のダングリングボンドを弗素 F で終端させる。このとき SF_6 ガスの流量は $50 \sim 100 \text{ sccm}$ 、圧力は $25 \sim 50 \text{ mTorr}$ であった。続いて図 3 (h) に示すように WF_6 、 SiH_4 ガスを使用した選択 CVD 法を用いてビア・ホール 10 内にタングステン W を選択成長させて、ビア 12 を形成する。このときの選択成長の条件は、成長前のベース真空度が $6 \times 10^{-6} \text{ Torr}$ 、成長時の温度が $200 \sim 260^\circ\text{C}$ 、使用ガスの流量比 WF_6/SiH_4 が $10/7 \text{ cc/min}$ 、成長時の圧力が 7 mTorr であり、この条件下における W の成長速度は $60 \sim 200 \text{ nm/min}$ であった。なお、 SiH_4 ガスの代わりに流量が $3 \sim 15 \text{ cc/min}$ の H_2 ガスを用いても良い。

【0038】なおビア 12 の形成後に炭素層 8 を除去しても良いし除去しなくても良い。

【0039】この第 2 の実施の形態の製造方法も第 1 の実施の形態の製造方法と同様の効果を奏することは言うまでもない。

【0040】なお第 1 および第 2 の実施の形態の製造方法においては、ビア・ホール 10 を開口するのに RIE 法を用いているので、ビア・ホール側壁にはビア・ホール開口時の RIE 法により炭素系の反応副生成物が付着しているため、ビア・ホール側壁からの W の成長は抑制され、シームが発生することは無くなる。

【0041】次に本発明による半導体装置の製造方法の第 3 の実施の形態の製造工程を図 4 に示す。この実施の形態の製造方法は、ビア・ホール 10 を形成するまで (図 4 (a) ~ (e) 参照) は図 3 に示す第 2 の実施の形態の製造方法と同様に行う。その後は、図 4

(f) に示すように水素ガス雰囲気中で熱処理することにより、露出した Cu 配線 4 の表面の自然酸化膜の除去を行う。この還元処理は水素ガスの流量が 150 sccm 、圧力が 500 mTorr で、基板 2 の温度を $400 \sim 450^\circ\text{C}$ で 20 分間保持するようにして行う。

【0042】続いて図 4 (g) に示すように、選択 CVD 法を用いてビア・ホール 10 内に W を選択成長させる。このときの選択成長の条件は、成長前の真空度が $6 \times 10^{-6} \text{ Torr}$ 、成長時の温度が $200 \sim 260^\circ\text{C}$ 、使用ガスの流量比 WF_6/SiH_4 が $10/7 \text{ cc/min}$ 、成長時の圧力が 7 mTorr であり、この条件下における W の成長速度は $60 \sim 200 \text{ nm/min}$ であった。なお、 SiH_4 ガスの代わりに流量が $3 \sim 15 \text{ cc/min}$ の H_2 ガスを用いても良い。

【0043】この第 3 の実施の形態の製造方法においては、炭素層 8 の表面等が弗素ガスで終端することなく、

Cu配線4上に選択的にタングステンが選択成長する。これは、まず、Cu配線4の表面の清浄化が水素を含むガス雰囲気中で行われていることにより、Cu配線4の表面等は荒れていないこと、および被覆膜ここでは炭素層8を構成する炭素原子の電気陰性度が、Cu配線4を構成する原子や、例えば SiO_2 または Si_3N_4 からなる層間絶縁膜6を構成する原子間の電気陰性度よりも大きいと考えると、

【0044】因に、W-F、C-C、Si-O、Si-N、およびCu-Cuの電気陰性度をマリケン(Mulliken)の方式に基づいて計算してみると、

$$\text{W-F} = 7.35 \text{ eV}$$

$$\text{C-C} = 6.26 \text{ eV}$$

$$\text{Si-O} = 6.15 \text{ eV}$$

$$\text{Si-N} = 6.00 \text{ eV}$$

$$\text{Cu-Cu} = 4.48 \text{ eV}$$

である。すなわち、W-FとCu-Cuの電気陰性度の差がW-FとC-Cの電気陰性度の差よりも大きい。このため電子は炭素層8よりもCu配線4に引きつけられやすく、WF₆ガスは炭素層8よりもCu配線4上で分解され易くなり、Cu配線4上でWが選択的に、成長することになる。

【0045】この第3の実施の形態の製造方法も第2の実施の形態の製造方法と同様の効果を奏することは言うまでもない。なお、この第3の実施の形態の製造方法においては、露出したCu配線4の表面の自然酸化膜の除去を、H₂ガス雰囲気中で熱処理することによって行っているため、炭素層8の表面やビア・ホール10内の層間絶縁膜6の露出している部分が荒れて、ダングリングボンドが生じることが非常に少なくなる。このため第2の実施の形態の製造方法と異なり、SF₆ガスを流して炭素層8の表面等を弗素で終端させる必要がなく、工程を簡略化することができる。

【0046】なお、絶縁膜6上に成形された絶縁層8(第3の実施の形態においては、炭素層8)は、絶縁膜6を構成する原子の電気陰性度よりも大きな値を有する原子から構成されれば第3の実施の形態と同様の効果を奏することは言うまでもない。

【0047】次に本発明による半導体装置の製造方法の第4の実施の形態の製造工程を図5に示す。この第4の実施の形態の製造方法は、半導体基板または絶縁膜基板2上に拡散防止膜3を介してCu配線4が形成される半導体装置に適用したものである。

【0048】まず図5(a)に示すように、半導体基板または絶縁膜基板2上に、例えばTiN、TiN/Ti、TiSiN、またはWSiN等からなる拡散防止膜3を形成し、続いてCu膜4を形成する。その後、Cu膜4および拡散防止膜3をRIE法を用いて所望の配線パターンに加工する(図5(b)参照)。

【0049】次に図5(c)に示すように、例えばSi

O₂、SiN、あるいはこれらの組合せからなる層間絶縁膜6を堆積した後、続いて炭素層8を堆積する。なお、炭素層8の堆積前に層間絶縁膜6を、レジストエッチバック法や、化学機械研磨法(CMP)を用いて平坦化を行うと更に良い。

【0050】そして図5(d)に示すようにフォトリソグラフィ技術およびRIE法を用いてビア・ホール10を開孔した後、Arガス雰囲気中で逆スパッタリングを行い、露出したCu配線4の表面の清浄化を行う(図5(e)参照)。このときのベース真空度は 6×10^{-6} Torr、Arガスの流量は50~100 sccm、圧力は9~18 mTorr、出力は50~150 Wである。

【0051】次にSF₆ガスを用いて、炭素層8の表面およびビア・ホール10内の露出している絶縁膜6の表面のダングリングボンドをFで終端させる(図5(f)参照)。

その後、選択CVD法を用いてビア・ホール内にWを選択成長させる(図5(g)参照)。このときの条件は、成長前のベース真空度 6×10^{-6} Torr、成長時の温度200~260℃、使用ガスの流量比WF₆/SiH₄=10/7 cc/min、成長時の圧力7 mTorr、この条件下におけるW成長速度は60~200 nm/minである。

【0052】この第4の実施の形態の製造方法も第1および第2の実施の形態の製造方法と同様の効果を奏することは言うまでもない。

【0053】次に本発明による半導体装置の製造方法の第5の実施の形態の製造工程を図6に示す。この実施の形態の製造方法はビア・ホール10を形成するまで

(図6(a)~(d)参照)は図5に示す第4の実施の形態の製造方法と同様にして行う。その後は、図6

(e)に示すように、水素ガス雰囲気中で熱処理することにより、ビア・ホール10の底部に露出したCu配線4の表面の自然酸化膜の除去を行う。この還元処理は、水素ガスの流量が150 sccm、圧力が500 mTorrで、基板2の温度を400~450℃で20分間保持するようにして行う。

【0054】続いて図6(f)に示すように、選択CVD法を用いてビア・ホール10内にWを選択成長させる。このときの選択成長の条件は、成長前の真空度が 6×10^{-6} Torr、成長時の温度が200~260℃、使用ガスの流量比WF₆/SiH₄が10/7 cc/min、成長時の圧力が7 mTorrであり、この条件下におけるWの成長速度は60~200 nm/minであった。なお、SiH₄ガスの代わりに流量が3~15 cc/minのH₂ガスを用いても良い。

【0055】この第5の実施の形態の製造方法も第4の実施の形態の製造方法と同様の効果を奏することは言うまでもない。なお、この第5の実施の形態の製造方法においては、露出したCu配線4の表面の自然酸化膜の除

去を、 H_2 ガス雰囲気中で熱処理することによって行っている。炭素層 8 の表面やヴィア・ホール 10 内の層間絶縁膜 6 の露出している部分が粗れて、ダングリングボンドが生じることが非常に少なくなる。このため第 4 の実施の形態の製造方法と異なり、 SF_6 ガスを流して上記表面を弗素で終端させる必要がなく、工程を簡略化することができる。

【0056】次に本発明による半導体装置の製造方法の第 6 の実施の形態の製造工程を図 7 に示す。この第 6 の実施の形態の製造方法は、第 2 の実施の形態の製造方法において、絶縁膜（炭素層 8 および露出している層間絶縁膜 6）の表面のダングリングボンドを弗素で終端させる場合に、 SF_6 ガスを基板 2 に供給する代わりに例えば SF_6 といった弗素系のガスをプラズマにより活性化状態にして基板表面に供給したものである（図 7（g）参照）。その後、ヴィア・ホール 10 内に W を選択的に成長させ、W プラグ 12 を形成する（図 7（h）参照）。

【0057】この第 6 の実施の形態の製造方法も第 2 の実施の形態の製造方法と同様の効果を有することは言うまでもない。なお、第 2 および第 6 の実施の形態の製造方法においては、基板 2 と Cu 配線 4 との間に Cu が基板 2 内に拡散するのを防止する拡散防止膜 3 を設けたが、設けなくても良いことは言うまでもない。

【0058】また、第 6 の実施の形態の製造方法は、Cu 配線 4 は基板 2 内に埋込まれるように形成された半導体装置の製造に適用しているが、基板 2 上に形成されている半導体装置に適用できることは言うまでもない。

【0059】次に本発明による半導体装置の製造方法の第 7 の実施の形態を図 8 および図 9 を参照して説明する。第 7 の実施の形態の製造方法は、二層 Cu 配線を有する半導体装置に適用したもので、その製造工程を図 8 および図 9 に示す。

【0060】まず、図 3 に示す第 2 の実施例の形態の製造方法の場合と同様にして、基板 2 内に溝 2a を設け（図 8（a）参照）、この溝 2a の表面に拡散防止膜 3 を形成した後、Cu 配線 4 を埋込む（図 8（b）参照）。続いて基板 2 の全面に層間絶縁膜 6 を形成し（図 8（c）参照）、この層間絶縁膜 6 上に炭素からなる炭素層 8 を形成する（図 8（d）参照）。その後、Cu 配線 4 上の、層間絶縁膜 6 および炭素層 8 の領域に例えば RIE 法を用いてヴィア・ホール 10 を開口し（図 8（e）参照）、露出した Cu 配線 4 上の自然酸化膜を除去するために、 Ar ガス雰囲気中で逆スパッタリングを行う（図 8（f）参照）。続いて例えば SF_6 といった F 系のガスをを用いて炭素層 8 の表面およびヴィア・ホール 10 内の絶縁膜 6、8 の露出している面のダングリングボンドを弗素で終端させる（図 8（g）参照）。

【0061】次に選択 CVD 法を用いてヴィア・ホール 10 内に W を選択成長させ（図 9（a）参照）。ヴィア

・ホール 10 から溢れたタングステン層 12 を、エッチバックや CMP を用いて削り取り、平坦化する（図 9（b）参照）。

その後、例えば SiO_2 、 SiN 、あるいはこれらの組合せからなる層間絶縁膜 14 を基板 2 の全面に堆積し（図 9（c）参照）、タングステン層 12 上の層間絶縁膜 14 の領域に溝 15 を例えば RIE 法を用いて開口する（図 9（d）参照）。

【0062】続いて溝 15 の底面および側面に拡散防止膜 16 を形成した後、Cu 配線 18 を埋込んで第二層 Cu 配線 18 を完成する（図 9（e）参照）。

【0063】以上説明したようにこの第 7 の実施の形態の製造方法も第 2 の実施の形態の製造方法と同様の効果を奏する。

【0064】なお、第 7 の実施の形態の製造方法においては、炭素層 8 は除去しないでその上に層間絶縁膜 14 を形成したが、炭素層 8 を除去した後に層間絶縁膜 14 を形成しても良い。

【0065】また、第 7 の実施の形態の製造方法は、基板 20 または絶縁膜 14 内に Cu 配線 4、18 が埋込まれる半導体装置に適用したが、基板 20 または絶縁膜 14 上に成膜した Cu 配線を有する半導体装置に適用できることは言うまでもない。

【0066】また第 3 層以上の多層配線に適用できることは言うまでもない。

【0067】なお、上記第 1 乃至第 7 の実施の形態の製造方法においては、層 8 は炭素で構成したが、炭素の代わりに炭素を含む高分子化合物で構成しても良い。

【0068】また Cu 配線の他に Al や金属シリサイドからなる電極配線の上に W を選択成長させることも可能である。

【0069】さらに W の他に Mo（モリブデン）等の金属膜を選択的に成長させることも可能である。

【0070】さらにまた逆スパッタリングは Ar ガス雰囲気中に限らず、 H_2 ガス雰囲気等の還元雰囲気で行うことも可能である。要は非酸化雰囲気で行うことが望ましい。

【0071】さらにまた、被覆膜は絶縁性の膜の場合には、これを除去せずにおくことも可能である。その他、本発明の要旨を逸脱しない範囲で種々変形して実施することも可能である。

【0072】

【発明の効果】以上述べたように本発明によれば、信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】本発明による半導体装置の製造方法の第 1 の実施の形態の製造工程を示す工程断面図。

【図 2】第 1 の実施の形態の製造方法の効果を説明するグラフ。

【図 3】本発明による半導体装置の製造方法の第 2 の実施の形態の製造工程を示す工程断面図。

【図4】本発明による半導体装置の製造方法の第3の実施の形態の製造工程を示す工程断面図。

【図5】本発明による半導体装置の製造方法の第4の実施の形態の製造工程を示す工程断面図。

【図6】本発明による半導体装置の製造方法の第5の実施の形態の製造工程を示す工程断面図。

【図7】本発明による半導体装置の製造方法の第6の実施の形態の製造工程を示す工程断面図。

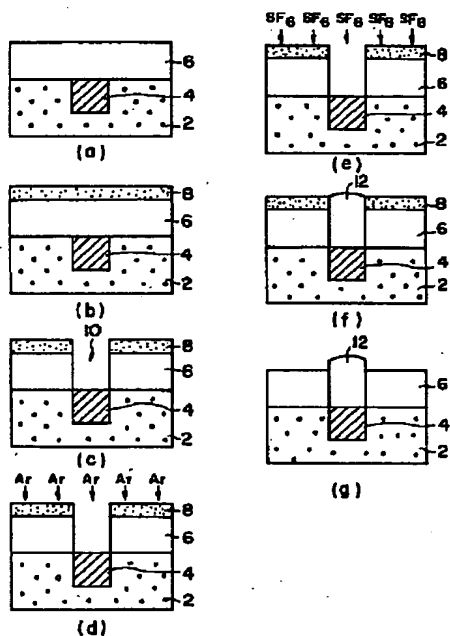
【図8】本発明による半導体装置の製造方法の第7の実施の形態の製造工程を示す工程断面図。

【図9】本発明による半導体装置の製造方法の第7の実施の形態の製造工程を示す工程断面図。

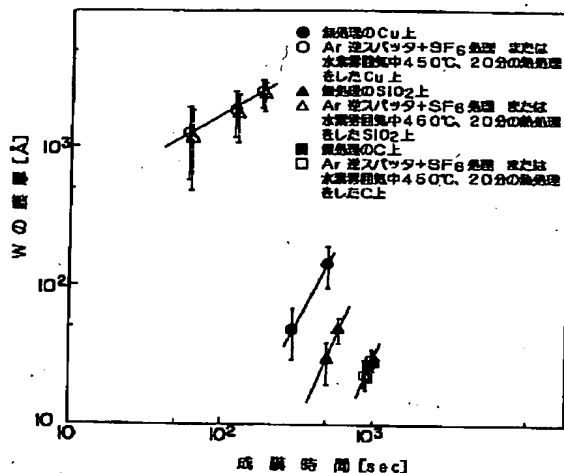
【符号の説明】

- 2 基板
- 3 拡散防止膜
- 4 Cu配線
- 6 層間絶縁膜
- 8 炭素層
- 10 ヴィア・ホール
- 12 ヴィア (Wプラグ)
- 14 層間絶縁膜
- 15 溝
- 16 拡散防止膜
- 18 Cu配線

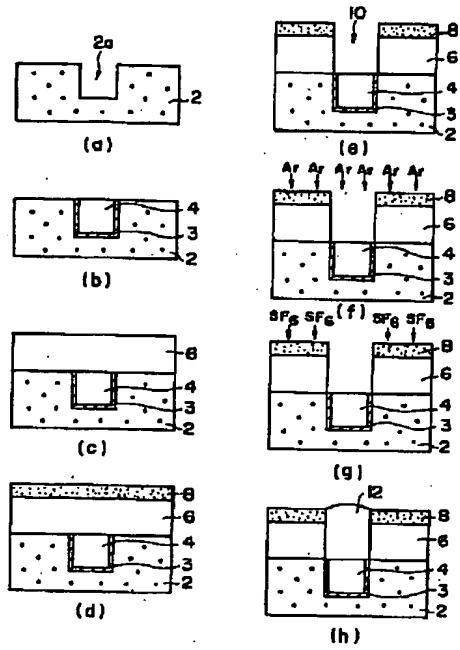
【図1】



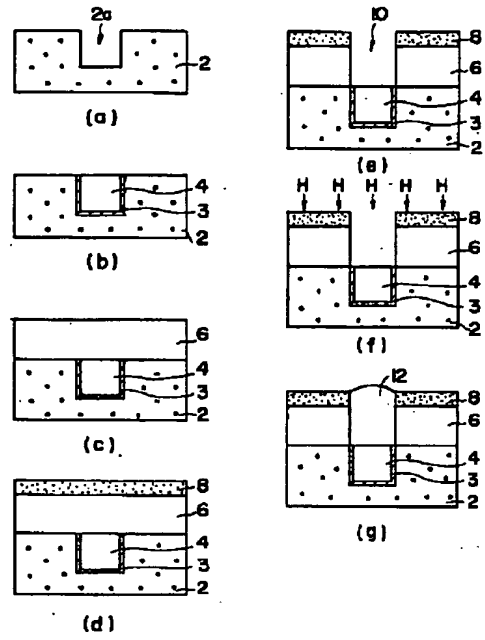
【図2】



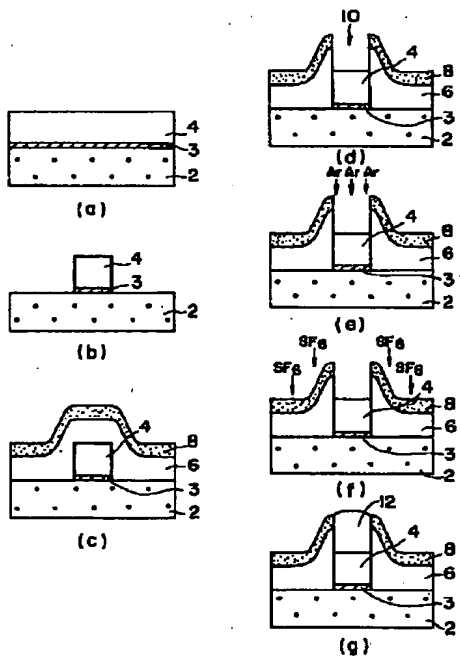
【图3】



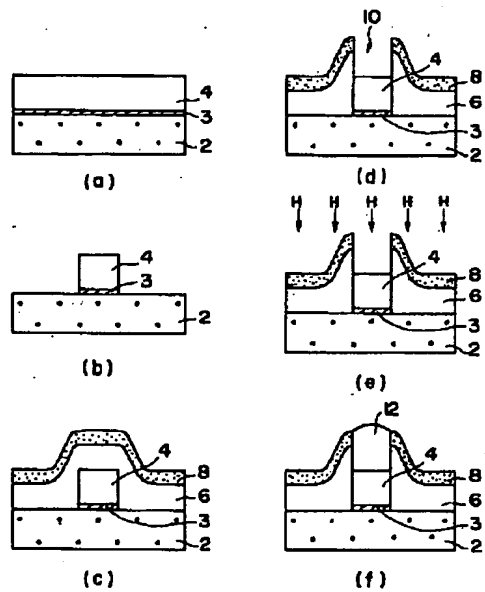
【图4】



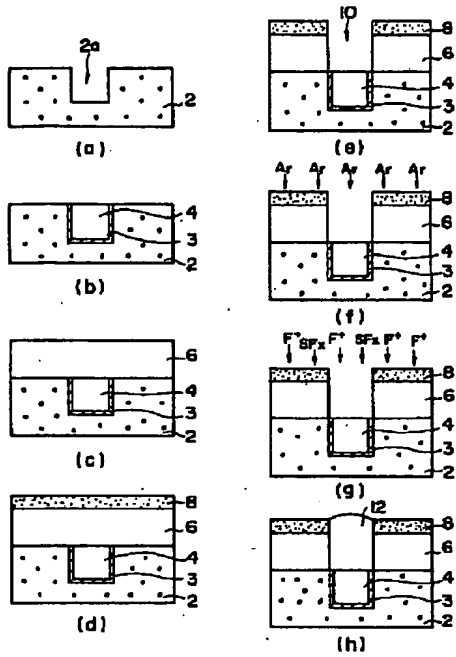
【图5】



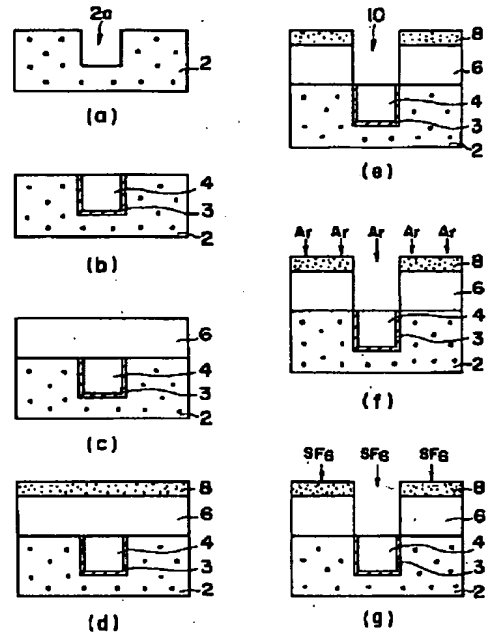
【图6】



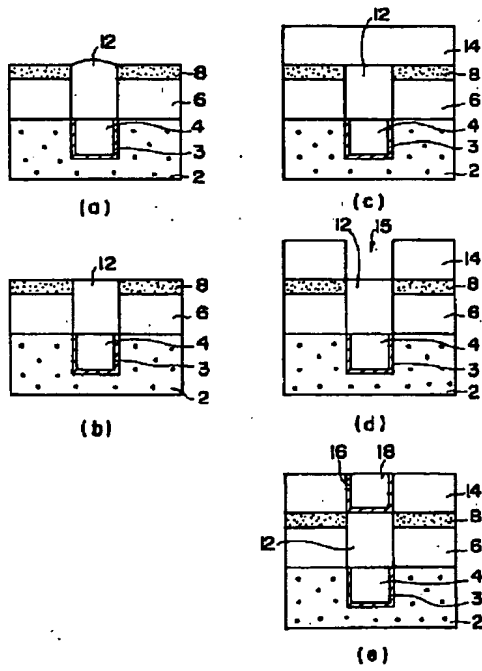
【图7】



【图8】



【图9】



フロントページの続き

(72)発明者 須 黒 恭 一

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内